

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003年10月23日 (23.10.2003)

PCT

(10) 国際公開番号  
WO 03/088341 A1

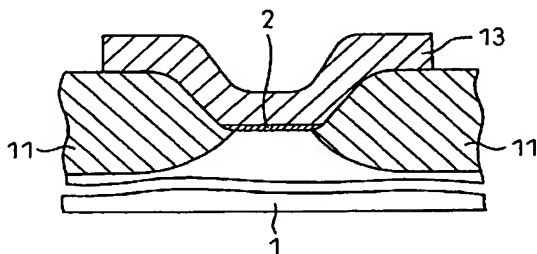
- (51) 国際特許分類<sup>7</sup>: H01L 21/316 (72) 発明者; および  
(21) 国際出願番号: PCT/JP03/04125 (75) 発明者/出願人 (米国についてのみ): 菅原 卓也 (SUGAWARA, Takuya) [JP/JP]; 〒407-0192 山梨県 韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 多田 吉秀 (TADA, Yoshihide) [JP/JP]; 〒407-0192 山梨県 韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 中村 源志 (NAKAMURA, Genji) [JP/JP]; 〒407-0192 山梨県 韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 尾崎 成則 (OZAKI, Shigenori) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP). 中西 敏雄 (NAKANISHI, Toshio) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP). 佐々木 勝 (SASAKI, Masaru) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町1-8 東京エレクトロン株式会社内 Hyogo (JP).
- (22) 国際出願日: 2003年3月31日 (31.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-97845 2002年3月29日 (29.03.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

[続葉有]

(54) Title: METHOD FOR FORMING UNDERLYING INSULATION FILM

(54) 発明の名称: 下地絶縁膜の形成方法

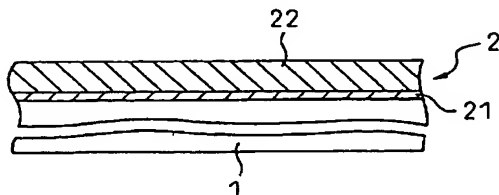
(a)



(57) Abstract: A method for forming an underlying film at the interface between an insulation film and a basic material for electronic device by irradiating the surface of the insulation film formed on the basic material for electronic device with plasma based on a processing gas containing at least oxygen atoms. A high-quality underlying film can be obtained at the interface between the insulation film and the basic material for electronic device in order to enhance the characteristics of the insulation film.

(57) 要約: 電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成する。絶縁膜と、電子デバイス用基材との間の界面に、該絶縁膜の特性を向上させるべき良質な下地膜が得られる。

(b)





会社内 Hyogo (JP). 松山 征嗣 (MATSUYAMA,Seiji) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町 1-8 東京エレクトロン株式会社内 Hyogo (JP). 長谷部 一秀 (HASEBE,Kazuhide) [JP/JP]; 〒407-0192 山梨県 韮崎市 穂坂町 三ツ沢 6 5 0 東京エレクトロン東北株式会社内 Yamanashi (JP). 中島 滋 (NAKAJIMA,Shigeru) [JP/JP]; 〒407-0192 山梨県 韮崎市 穂坂町 三ツ沢 6 5 0 東京エレクトロン東北株式会社内 Yamanashi (JP). 藤原 友紀 (FUJIWARA,Tomonori) [JP/JP]; 〒407-0192 山梨県 韮崎市 穂坂町 三ツ沢 6 5 0 東京エレクトロン東北株式会社内 Yamanashi (JP).

(74) 代理人: 石田 敬, 外 (ISHIDA,Takashi et al.); 〒105-8423 東京都 港区 虎ノ門 三丁目 5 番 1 号 虎ノ門 3 7 森ビル 青和特許法律事務所 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT,

LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 下地絶縁膜の形成方法

## 技術分野

本発明は、良好な界面特性を有する絶縁膜を形成する方法に関する。より詳しくは、本発明は、絶縁膜に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と基材との間の界面特性を向上させる方法に関する。本発明の改質方法は、特に、いわゆるH i g h - k（高誘電率）材料に好適に使用可能である。

## 背景技術

本発明は半導体ないし半導体装置、液晶デバイス等の電子デバイス材料の製造に一般的に広く適用可能であるが、ここでは説明の便宜のために、半導体装置（devices）の背景技術を例にとって説明する。

シリコンを始めとする半導体ないし電子デバイス材料用基材には、酸化膜の形成、C V D等による成膜、エッチング等の種々の処理が施される。近年の半導体装置の微細化、および高性能化の要請に伴い、（例えば、リーク電流の点で）より高性能な絶縁膜に対するニーズが著しく高まって来ている。これは、従来の比較的に集積度が低いデバイスにおいては事実上問題とならなかったような程度のリーク電流であっても、近年の微細化および／又は高性能化したデバイスにおいては、シビアな問題を生ずる可能性があるためである。特に、近年始まった、いわゆるユビキタス社会（何時でもどこでもネットワークに繋がる電子デバイスを媒体にした情報化社会）に

における携帯型電子機器の発達には低消費電力デバイスが必須であり、このリーク電流の低減が極めて重要な課題となる。

典型的には、例えば、次世代MOSトランジスタを開発する上で、高性能のシリコンLSIの微細化を追求していくとリーク電流が増大して、消費電力も増大するという問題が生じている。そこで性能を追求しつつ消費電力を少なくするためには、MOSトランジスタのゲートリーク電流を増加させずにトランジスタの特性を向上させることが必要となる。

このような要請に応えるために、種々の手法（例えば、シリコン酸化膜の改質、シリコン酸窒化膜SiONの使用）が提案されているが、その有力な手法の一つが、High-k（高誘電率）材料を用いた絶縁膜の開発である。このようなHigh-k材料を用いることにより、SiO<sub>2</sub>容量換算膜厚であるEOT（Effective Oxide Thickness）の薄膜化が期待できるからである。

しかしながら、このように優れた特性が期待される絶縁膜を実際にCVD（化学気相堆積法）等により成膜した場合、特に実用性が極めて高い（例えば、12Å（オングストローム）程度に比較的薄い）絶縁膜においては、該絶縁膜と、その下地たる電子デバイス用基材との間で良好な界面特性を得ることが困難であった。

このような課題を解決するための一つの方法は、基材上に極めて薄い（例えば、10Å以下）下地膜を形成した後に、該下地膜上に絶縁膜をすることである。しかしながら、従来の熱酸化技術ないしプラズマ酸化技術（これらの技術による薄い膜厚コントロールは困難である）を用いて、このように薄い下地膜を直接に電子デバイス用基材上に成膜速度や面内均一性を制御しながら形成することは、極めて困難であった。

## 発明の開示

本発明の目的は、上記した従来技術の欠点を解消した下地膜の形成方法を提供することにある。

本発明の他の目的は、絶縁膜と、電子デバイス用基材との間の界面に、トランジスタの特性を向上させるべき良質な下地膜を与える方法を提供することにある。

本発明者は鋭意研究の結果、従来におけるように電子デバイス用基材上に下地膜を形成した後に、絶縁膜（例えば、H i g h - k 材料膜）を形成するのではなく、電子デバイス用基材上に一旦絶縁膜（例えば、H i g h - k 材料膜）を形成し、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを該絶縁膜を透過させ、該絶縁膜－基材界面に下地膜を形成することが、上記目的の達成のために極めて効果的なことを見出した。

本発明の下地膜の形成方法は上記知見に基づくものであり、より詳しくは、電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成することを特徴とするものである。

本発明によれば、更に、電子デバイス用基材と、該基材上に配置された下地膜と、該下地膜上に配置された絶縁膜とを少なくとも含む電子デバイス用材料であって；前記下地膜が、前記絶縁膜側からのプラズマ照射によって形成された膜であることを特徴とする電子デバイス用材料が提供される。

上記構成を有する本発明の下地膜の形成方法においては、プラズマ活性種（例えば酸素反応種）が絶縁膜表面側から該絶縁膜を透過して、絶縁膜－基材界面に到達して、該界面近傍に下地膜を形成する。本発明においては、電子デバイス用基材上に直接に下地膜を形

成する場合に比べて成膜速度のコントロール（すなわち、成膜時間のコントロール）が容易であるため、該下地膜の膜厚コントロール、および／又は下地膜の面内の均一性を向上させることが容易となる。

#### 図面の簡単な説明

図 1 は、本発明の下地絶縁膜の形成方法方法により製造可能な半導体装置の一例を示す模式的な垂直断面図である。

図 2 は、本発明の下地絶縁膜の形成方法方法を実施するための半導体製造装置の一例を示す模式平面図である。

図 3 は、本発明の下地絶縁膜の形成方法方法に使用可能な平面アンテナ（R L S A ; Slot Plane Antennaないし S P A と称される場合もある）プラズマ処理ユニットの一例を示す模式的な垂直断面図である。

図 4 は、本発明の下地絶縁膜の形成方法装置に使用可能な R L S A の一例を示す模式的な平面図である。

図 5 は、本発明の下地絶縁膜の形成方法方法に使用可能な加熱反応炉ユニットの一例を示す模式的な垂直断面図である。

図 6 は、ゲート酸化膜やゲート絶縁膜が成膜されるシリコン基板表面の一例を示す模式断面図である。

図 7 は、基板表面上へのプラズマ処理の一例を示す模式断面図である。

図 8 は、H i g h - k 材料の成膜の一例を示す模式断面図である。

図 9 は、H i g h - k 材料表面へのプラズマ処理一例を示す模式断面図である。

図 10 は、H i g h - k 材料膜上へのゲート電極の形成の一例を

示す模式断面図である。

図 1 1 は、M O S キャパシタの形成の一例を示す模式断面図である。

図 1 2 は、イオン打ち込み（インプラ）によるソース、ドレイン形成の一例を示す模式断面図である。

図 1 3 は、本発明により得られるM O S トランジスタ構造の一例を示す模式断面図である。

図 1 4 は、R L S A 酸化プロセスによって成膜された酸化膜とH f S i O 膜上に酸化プラズマ処理を施した場合における電氣的膜厚（T e q）の酸化時間による変化を示すグラフである。

図 1 5 は、R L S A 酸化プロセスによって成膜された酸化膜とH f S i O 膜上に酸化プラズマ処理を施した場合における電氣的膜厚（T e q）と電氣的膜厚の均一性の酸化時間による変化を示すグラフである。

#### 発明を実施するための最良の形態

以下、必要に応じて図面を参照しつつ本発明を更に具体的に説明する。以下の記載において量比を表す「部」および「%」は、特に断らない限り質量基準とする。

##### （下地膜の形成方法）

本発明においては、電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成する。

##### （絶縁膜）

本発明において使用可能な絶縁膜を構成する材料は特に制限されないが、実用的なM O S トランジスタの点からは、低誘電率のS i

$O_2$ 、 $SiON$ 、誘電率が比較的高い $SiN$ 、ないしは後述する $Hig h - k$ 物質と呼ばれる誘電率が高い物質からなる群から選択される1又は2以上のものが好適に使用可能である。

( $Hig h - k$ 材料)

本発明において使用可能な $Hig h - k$ 材料は特に制限されないが、実用レベルの $MOS$ トランジスタのトレンドの点からは、 $k$  (比誘電率) の値が8以上、更には10以上のものが好ましい。

このような $Hig h - k$ 材料の例としては、 $Al_2O_3$ 、 $ZrO_2$ 、 $HfO_2$ 、 $Ta_2O_5$ 、および $ZrSiO$ 、 $HfSiO$ 等のシリケート； $ZrAlO$ 等のアルミネートからなる群から選択される1又は2以上のものが好適に使用可能である。

(電子デバイス用基材)

本発明において使用可能な上記の電子デバイス用基材は特に制限されず、公知の電子デバイス用基材の1種または2種以上の組合せから適宜選択して使用することが可能である。このような電子デバイス用基材の例としては、例えば、半導体材料、液晶デバイス材料等が挙げられる。半導体材料の例としては、例えば、単結晶シリコンを主成分とする材料、 $high\ Performance\ CMOS$ 等が挙げられる。

(下地膜)

上記した絶縁膜の界面特性を向上させることが可能である限り、下地膜の組成、膜厚、積層の態様等は特に制限されない。トランジスタ特性の点からは、下地膜としては、下地酸化膜が好適に使用可能である。

このような下地膜は、6～12Å程度の厚さを有することが好ましく、更には6～8Å程度の厚さを有することが好ましい。

(処理ガス条件)



本発明の下地膜作製においては、形成されるべき下地膜の特性の点からは、下記の条件が好適に使用できる。

希ガス（例えば、K r、A r、H eまたはX e）：300～2000 s c c m、より好ましくは1000～2000 s c c m、

O<sub>2</sub>：1～500 s c c m、より好ましくは10～300 s c c m、

温度：室温（25℃）～500℃、より好ましくは250～500℃、特に好ましくは250～400℃

圧力：3～500 P a、より好ましくは7～260 P a、

マイクロ波：1～5 W / c m<sup>2</sup>、より好ましくは2～4 W / c m<sup>2</sup>、特に好ましくは2～3 W / c m<sup>2</sup>

（アニーリング）

本発明においては、上述した改質の後、必要に応じて、絶縁膜をアニーリングしてもよい。このアニーリング条件は特に制限されないが、トランジスタ特性の点からは、O<sub>2</sub>ガスおよび／又はN<sub>2</sub>ガスを含む処理ガスが好適に使用可能である。本発明において好適に使用可能な条件の一例を以下に示す。

（好適なアニーリング条件）

希ガス（例えば、K r、A r、H eまたはX e）：0～5000 s c c m、より好ましくは0～1000 s c c m、

O<sub>2</sub>：10～1000 s c c m、より好ましくは10～100 s c c m、

N<sub>2</sub>：1000～5000 s c c m、より好ましくは1000～3000 s c c m、

温度：室温（25℃）～1050℃、より好ましくは600～1050℃、

圧力：100～101 k P a、より好ましくは1 k～101 k P

a、

本発明において使用可能なプラズマは特に制限されないが、均一な薄膜化が容易に得られる点からは、電子温度が比較的到低くかつ高密度なプラズマを用いることが好ましい。

(好適なプラズマ)

本発明において好適に使用可能なプラズマの特性は、以下の通りである。

電子温度：0.5 - 2.0 eV

密度： $1 \times 10 \sim 5 \times 10^{12} / \text{cm}^3$

プラズマ密度の均一性： $\pm 10\%$

(平面アンテナ部材)

本発明の電子デバイス材料の製造方法においては、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することにより電子温度が低くかつ高密度なプラズマを形成する。本発明においては、このような優れた特性を有するプラズマを用いて下地膜の形成を行うため、プラズマダメージが小さく、かつ低温で反応性の高いプロセスが可能となる。本発明においては、更に、(従来のプラズマを用いた場合に比べ)平面アンテナ部材を介してマイクロ波を照射することにより、良質な下地膜の形成が容易であるという利点を得られる。

本発明によれば、良質な下地膜を形成することができる。したがって、この下地膜上に他の層(例えば、電極層)を形成することにより、特性に優れた半導体装置の構造を形成することが容易である。

(下地膜の好適な特性)

本発明によれば、下記のように好適な特性を有する下地膜を容易に形成することができる。

(半導体構造の好適な特性)

本発明の方法の適用すべき範囲は特に制限されないが、本発明により形成可能な良質な下地膜は、MOS構造のゲート絶縁膜として特に好適に利用することができる。

(MOS半導体構造の好適な特性)

本発明により形成可能な極めて薄く、しかも良質な下地膜は、半導体装置の絶縁膜（特にMOS半導体構造のゲート絶縁膜）として特に好適に利用することができる。

本発明によれば、下記のように好適な特性を有するMOS半導体構造を容易に製造することができる。なお、本発明により形成した下地膜の特性を評価する際には、例えば、文献（VLSIデバイスの物理 岸野正剛、小柳光正著 丸善 P62～63）に記載されたような標準的なMOS半導体構造を形成して、そのMOSの特性を評価することにより、上記下地膜の特性評価に代えることができる。このような標準的なMOS構造においては、該構造を構成する下地膜の特性が、MOS特性に強い影響を与えるからである。

(製造装置の一態様)

以下、本発明の製造方法の好適な一態様について説明する。

まず本発明の電子デバイス材料の製造方法によって製造可能な半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えたMOS構造を有する半導体装置を図1を参照しつつ説明する。

図1(a)を参照して、この図1(a)において参照番号1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。図1(b)を参照して、ゲート絶縁膜2は下地酸化膜21とHigh-k物質22とからなる。上述したように、本発明の製造方法によれば極めて薄くかつ良質な下地酸化膜21を形成することができる。

この例では、この品質の高い下地酸化膜 21 は、High-k 物質を成膜した後に、 $O_2$  および希ガスを含む処理ガスの存在下で、Si を主成分とする被処理基材に、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することによりプラズマを形成し、このプラズマを用いて前記 High-k 物質と基板との界面に形成されたシリコン酸化膜（以下「 $SiO_2$  膜」という）からなることが好ましい。このような下地  $SiO_2$  膜を用いた際には、後述するように、Si / ゲート絶縁膜界面特性（例えば、界面準位）が良好で、且つ良好なゲートリーク特性を得ることが容易という特徴がある。

（製造方法の一態様）

次に、このようなゲート絶縁膜 2、ゲート電極 13 が配設された電子デバイス材料の製造方法について説明する。

図 2 は本発明の電子デバイス材料の製造方法を実施するための半導体製造装置 30 の全体構成の一例を示す概略図（模式平面図）である。

図 2 に示すように、この半導体製造装置 30 のほぼ中央には、ウェハ W（図 2）を搬送するための搬送室 31 が配設されており、この搬送室 31 の周囲を取り囲むように、ウェハに種々の処理を行うためのプラズマ処理ユニット 32、33、各処理室間の連通／遮断の操作を行うための二機のロードロックユニット 34 および 35、種々の加熱操作を行うための加熱ユニット 36、およびウェハに種々の加熱処理を行うための加熱反応炉 47 が配設されている。なお、加熱反応炉 47 は、上記半導体製造装置 30 とは別個に独立して設けてもよい。

ロードロックユニット 34、35 の横には、種々の予備冷却ないし冷却操作を行うための予備冷却ユニット 45、冷却ユニット 46

がそれぞれ配設されている。

搬送室 3 1 の内部には、搬送アーム 3 7 および 3 8 が配設されており、前記各ユニット 3 2 ～ 3 6 との間でウェハ W（図 3）を搬送することができる。

ロードロックユニット 3 4 および 3 5 の図中手前側には、ローダーアーム 4 1 および 4 2 が配設されている。これらのローダーアーム 4 1 および 4 2 は、更にその手前側に配設されたカセットステージ 4 3 上にセットされた 4 台のカセット 4 4 との間でウェハ W を出し入れすることができる。

なお、図 2 中のプラズマ処理ユニット 3 2、3 3 としては、同型のプラズマ処理ユニットが二基並列してセットされている。

更に、これらプラズマ処理ユニット 3 2 およびユニット 3 3 は、ともにシングルチャンバ型 C V D 処理ユニットと交換することが可能であり、プラズマ処理ユニット 3 2 や 3 3 の位置に一基または二基のシングルチャンバ型 C V D 処理ユニットをセットすることも可能である。

プラズマ処理が二基の場合、例えば、処理ユニット 3 2 で酸化処理を行った後、処理ユニット 3 3 で窒化処理をする方法を行っても良く、また処理ユニット 3 2 および 3 3 で並列に酸化処理と窒化処理を行っても良い。

（プラズマ処理装置の一態様）

図 3 はゲート絶縁膜 2 の成膜に使用可能なプラズマ処理ユニット 3 2（3 3）の垂直方向の模式断面図である。

図 3 を参照して、参照番号 5 0 は、例えばアルミニウムにより形成された真空容器である。この真空容器 5 0 の上面には、基板（例えばウェハ W）よりも大きい開口部 5 1 が形成されており、この開口部 5 1 を塞ぐように、例えば石英や窒化アルミ等の誘電体により

構成された偏平な円筒形状の天板 5 4 が設けられている。この天板 5 4 の下面である真空容器 5 0 の上部側の側壁には、例えばその周方向に沿って均等に配置した 1 6 箇所の位置にガス供給管 7 2 が設けられており、このガス供給管 7 2 から  $O_2$  や希ガス、 $N_2$  および  $H_2$  等から選ばれた 1 種以上を含む処理ガスが、真空容器 5 0 のプラズマ領域 P 近傍にムラなく均等に供給されるようになっている。

天板 5 4 の外側には、複数のスロットを有する平面アンテナ部材、例えば銅板により形成された平面アンテナ (R L S A) 6 0 を介して、高周波電源部をなし、例えば 2 . 4 5 G H z のマイクロ波を発生するマイクロ波電源部 6 1 に接続された導波路 6 3 が設けられている。この導波路 6 3 は、R L S A 6 0 に下縁が接続された偏平な円形導波管 6 3 A と、この円形導波管 6 3 A の上面に一端側が接続された円筒形導波管 6 3 B と、この円筒形導波管 6 3 B の上面に接続された同軸導波変換器 6 3 C と、この同軸導波変換器 6 3 C の側面に直角に一端側が接続され、他端側がマイクロ波電源部 6 1 に接続された矩形導波管 6 3 D とを組み合わせ構成されている。

前記円筒形導波管 6 3 B の内部には、導電性材料からなる軸部 6 2 の、一端側が R L S A 6 0 の上面のほぼ中央に接続し、他端側が円筒形導波管 6 3 B の上面に接続するように同軸状に設けられており、これにより当該導波管 6 3 B は同軸導波管として構成されている。

また真空容器 5 0 内には、天板 5 4 と対向するようにウエハ W の載置台 5 2 が設けられている。この載置台 5 2 には図示しない温調部が内蔵されており、これにより当該載置台 5 2 は熱板として機能するようになっている。更に真空容器 5 0 の底部には排気管 5 3 の一端側が接続されており、この排気管 5 3 の他端側は真空ポンプ 5 5 に接続されている。

(R L S Aの一態様)

図4は本発明の電子デバイス材料の製造装置に使用可能なR L S A 60の一例を示す模式平面図である。

この図4に示したように、このR L S A 60では、表面に複数のスロット60a、60a、…が同心円状に形成されている。各スロット60aは略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するように配設されている。スロット60aの長さや配列間隔は、マイクロ波電源部61より発生したマイクロ波の波長に応じて決定されている。

(加熱反応炉の一態様)

図5は本発明の電子デバイス材料の製造装置に使用可能な加熱反応炉47の一例を示す垂直方向の模式断面図である。

図5に示すように、加熱反応炉47の処理室82は、例えばアルミニウム等により気密可能な構造に形成されている。この図5では省略されているが、処理室82内には加熱機構や冷却機構を備えている。

図5に示したように、処理室82には上部中央にガスを導入するガス導入管83が接続され、処理室82内とガス導入管83内とが連通されている。また、ガス導入管83はガス供給源84に接続されている。そして、ガス供給源84からガス導入管83にガスが供給され、ガス導入管83を介して処理室82内にガスが導入されている。このガスとしては、High-k絶縁膜形成の原料となる、例えばHTBやシラン等の各種のガスを用いることができ、必要に応じて、不活性ガスをキャリアガスとして用いることもできる。

処理室82の下部には、処理室82内のガスを排気するガス排気管85が接続され、ガス排気管85は真空ポンプ等からなる排気手

段（図示せず）に接続されている。この排気手段により、処理室 8 2 内のガスがガス排気管 8 5 から排気され、処理室 8 2 内が所望の圧力に設定されている。

また、処理室 8 2 の下部には、ウエハ W を載置する載置台 8 7 が配置されている。

この図 5 に示した態様においては、ウエハ W と略同径大の図示しない静電チャックによりウエハ W が載置台 8 7 上に載置されている。この載置台 8 7 には、図示しない熱源手段が内設されており、載置台 8 7 上に載置されたウエハ W の処理面を所望の温度に調整できる構造に形成されている。

この載置台 8 7 は、必要に応じて、載置したウエハ W を回転できるように機構になっている。

図 5 中、載置台 8 7 の右側の処理室 8 2 壁面にはウエハ W を出し入れするための開口部 8 2 a が設けられており、この開口部 8 2 a の開閉はゲートバルブ 9 8 を図中上下方向に移動することにより行われる。図 5 中、ゲートバルブ 9 8 の更に右側にはウエハ W を搬送する搬送アーム（図示せず）が隣設されており、搬送アームが開口部 8 2 a を介して処理室 8 2 内に入り出して載置台 8 7 上にウエハ W を載置したり、処理後のウエハ W を処理室 8 2 から搬出するようになっている。

載置台 8 7 の上方には、シャワー部材としてのシャワーヘッド 8 8 が配設されている。このシャワーヘッド 8 8 は載置台 8 7 とガス導入管 8 3 との間の空間を区画するように形成されており、例えばアルミニウム等から形成されている。

シャワーヘッド 8 8 は、その上部中央にガス導入管 8 3 のガス出口 8 3 a が位置するように形成され、シャワーヘッド 8 8 下部に設置されたガス供給孔 8 9 を通し、処理室 8 2 内にガスが導入されて



いる。

(MOSトランジスタ形成の態様)

次に、上述した装置を用いて、ウエハW上に下地酸化膜21、High-k絶縁膜22からなる絶縁膜2を有するMOSトランジスタを形成する方法の好適な一例について説明する。

図6～13は本発明の方法における各工程の一例を示す模式図である。

図6を参照して、まず、前段の工程でウエハW表面に素子分離となるフィールド酸化膜、チャネルインプラ、犠牲酸化膜を形成する。その後犠牲酸化膜を除去する。

次いでプラズマ処理ユニット32（図3）内の真空容器50の側壁に設けたゲートバルブ（図示せず）を開いて、搬送アーム37、38により、図8の犠牲酸化膜が除去されたウエハWを載置台52（図3）上に載置する。

続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ55により排気管53を介して内部雰囲気気を排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部61より例えば $2\text{ W/cm}^2$ のマイクロ波を発生させ、このマイクロ波を導波路により案内してRLSA60および天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

ここでマイクロ波は矩形導波管63D内を矩形モードで伝送し、同軸導波変換器63Cにて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管63Bを伝送し、更に円形導波管63Aにて拡げられた状態で伝送していき、RLSA60のスロット60aより放射され、天板54を透過して真空容器50に導入される。この際マイクロ波を用いているため高密度のプラズマが発生し

、またマイクロ波をR L S A 6 0の多数のスロット6 0 aから放射しているため、このプラズマが高密度なものとなる。

マイクロ波導入に先立ち、載置台5 2の温度を調節してウエハWを例えば4 0 0℃に加熱しながら、ガス供給管7 2より酸化膜形成用の処理ガスであるクリプトンやアルゴン等の希ガスと、N<sub>2</sub>ガスとを、例えばそれぞれ1 0 0 0 s c c m、4 0 s c c mの流量で導入して図7の工程（H i g h - k成膜前の窒化処理）を実施する。本処理を実施することでH i g h - k成膜時にH i g h - k物質と基板シリコンが反応し、界面にシリコン酸化膜が形成することを抑制することが可能となる。

次に、ウエハWを熱処理ユニット4 7にセットする。この熱処理ユニット4 7内でウエハW上部にH i g h - k物質が成膜される。例えば上記のシリコン基板W上にハフニウムシリケート（H f S i O）を成膜する場合、ターシャリーエトキシハフニウム（H T B : H f ( O C<sub>2</sub>H<sub>5</sub>)<sub>4</sub>）とシランガス（S i H<sub>4</sub>）をそれぞれ1 s c c m、4 0 0 s c c mずつ導入し、圧力を5 0 P aに保持する。H T Bの流量は液体マスフローコントローラの流量、シランガスの流量はガスマスフローコントローラの流量である。その雰囲気中で前述のシリコン基板を3 5 0℃で加熱し、基板上でH fとS iとOの反応種を反応させることでH f S i O膜を成膜する。処理時間を含めたプロセス条件を制御することで4 n mのH f S i O膜を成膜する（図8）。

次に、ゲートバルブ（図示せず）を開き、真空容器4 7内に搬送アーム3 7、3 8（図2）を進入させ、ウエハWを受け取る。この搬送アーム3 7、3 8はウエハWを熱処理ユニット4 7から取り出した後、プラズマ処理ユニット3 3内の載置台にセットする。

（窒化含有層形成の態様）

次いで、図 1 1 に示されるようにこのプラズマ処理ユニット 3 3 内でウエハ W 上に酸化処理が施され、先に形成された H i g h - k 絶縁膜 2 の下面に下地酸化膜 2 1 (図 1 (b)) が形成される。

この下地酸化膜形成の際には、例えば、真空容器 5 0 内にて、ウエハ温度が例えば 4 0 0 °C、プロセス圧力が例えば 1 3 3 P a (1 T o r r) の状態で、容器 5 0 内にガス導入管よりアルゴンガスと、O<sub>2</sub> ガスとを、例えばそれぞれ 2 0 0 0 s c c m、2 0 0 s c c m の流量で導入する。

その一方で、マイクロ波電源部 6 1 より例えば 2 W / c m<sup>2</sup> のマイクロ波を発生させ、このマイクロ波を導波路により案内して R L S A 6 0 b および天板 5 4 を介して真空容器 5 0 内に導入し、これにより真空容器 5 0 内の上部側のプラズマ領域 P にて高周波プラズマを発生させる。

この工程 (下地酸化膜の形成) では、導入されたガスはプラズマ化し、酸素ラジカルが形成される。この酸素ラジカルが H i g h - k 物質を透過してシリコン基板で反応し、H i g h - k 物質とシリコン基板界面に S i O<sub>2</sub> 膜を形成する。このようにして図 1 (b) に示すように、ウエハ W 上の H i g h - k 物質 2 2 とシリコン基板 1 との界面に下地酸化膜 2 1 が形成される。

(ゲート電極形成の態様)

次に、H i g h - k 物質と下地酸化膜の形成されたウエハ W 上にゲート電極 1 3 (図 1 (a)) を形成する (図 1 0)。このゲート電極形成は図 5 に示されるのと同様の熱処理ユニットで行われる。この熱処理ユニットは図 2 に図示される半導体製造装置 3 0 に一体となって設置されている場合もあり、また、他の装置で処理がなされる場合もある。

このとき、形成するゲート電極 1 3 の種類に応じて処理条件を選

択することができる。

即ち、ポリシリコンからなるゲート電極 13 を形成する場合には、例えば処理ガス（電極形成ガス）として、 $\text{SiH}_4$  を使用し、 $10 \sim 500 \text{ Pa}$  の圧力、 $580 \sim 680^\circ\text{C}$  の温度条件下で処理する。

また、アモルファスシリコンからなるゲート電極 13 を形成する場合には、例えば処理ガス（電極形成ガス）として、 $\text{SiH}_4$  を使用し、 $10 \sim 500 \text{ Pa}$  の圧力、 $500 \sim 580^\circ\text{C}$  の温度条件下で処理する。

（酸化膜の品質）

上述した図 11 の工程では、ゲート下地膜用下地酸化膜を形成するに際し、処理ガスの存在下で、 $\text{Si}$  を主成分とするウエハ W に、複数のスロットを有する平面アンテナ部材（RLSA）を介してマイクロ波を照射することにより酸素（ $\text{O}_2$ ）および希ガスとを含むプラズマを形成し、このプラズマを用いて前記被処理基材表面に酸化膜を形成しているため、品質が高く、且つ膜質制御を首尾よく行うことができる。

その後、ゲートのパターンニング、選択エッチングを行い、MOS キャパシタを形成し（図 11）、イオン打ち込み（インプラ）を施してソース、ドレインを形成する（図 12）。その後アニールによりドーパント（チャネル、ソース、ドレインへインプラされたリン（P）、ヒ素（As）、ホウ素（B）等）の活性化を行う。続いて後工程となる層間絶縁膜の成膜、パターンニング、選択エッチング、メタルの成膜を組み合わせた配線工程を経て本様態に関わる MOS トランジスタが得られる（図 13）。最終的にこのトランジスタ上部に様々なパターンで配線工程を施し、回路を作ることでロジックデバイスが完成する。

なお、本様態では絶縁膜としてHfシリケート（HfSiO膜）を形成したが、それ以外の組成からなる絶縁膜を形成することも可能である。ゲート絶縁膜としては、従来より使われている低誘電率のSiO<sub>2</sub>、SiON、また誘電率が比較的高いSiNやHigh-K物質と呼ばれる誘電率が高いAl<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、およびZrSiO、HfSiO等のシリケートやZrAlO等のアルミネートからなる群から選択される1又は2以上のものが挙げられる。

また、High-K物質の成膜方法として熱CVD法のみを実施例として取り上げたが、High-K物質の形成方法は任意であり、例えばプラズマCVD法やPVD法によって成膜を行うことも可能である。

また、本実施例では、プラズマ酸化処理による効果のみに着目しているが、プラズマ酸化処理の変わりにプラズマ窒化処理や、プラズマ酸化処理と窒化処理を組み合わせた処理等への応用も可能である。

以下、実施例により本発明を更に具体的に説明する。

## 実施例

### 実施例 1

図14、図15にRLSA酸化プロセスによって成膜された酸化膜とHfSiO膜上に酸化プラズマ処理を施した場合における電氣的膜厚（Teq）と電氣的膜厚の均一性（Range：面内におけるTeqの最大値と最小値の差）の酸化時間による変化をそれぞれ示す。横軸は酸化処理時間、縦軸はTeqおよびRangeである。図14、図15のサンプルは以下のような方法で作製された。

（1）：基板

基板にはP型のシリコン基板を用い、比抵抗が $8 \sim 12 \Omega \text{cm}$ 、面方位(100)のものを用了。シリコン基板表面には熱酸化法により500Å犠牲酸化膜が成膜されている。

### (2) : HfSiO膜成膜前処理

APM(アンモニア、過酸化水素水、純水の混合液)とHPM(塩酸、過酸化水素水、純水の混合液)およびDHF(フッ酸と純水の混合液)を組み合わせたRCA洗浄によって犠牲酸化膜と汚染要素(金属や有機物、パーティクル)を除去した。APMの薬液濃度比は $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 2 : 10$ であり、温度は $60^\circ\text{C}$ である。またHPMは濃度比が $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ で温度が $60^\circ\text{C}$ 、DHFは濃度比が $\text{HF} : \text{H}_2\text{O} = 1 : 99$ で温度が $23^\circ\text{C}$ である。処理はAPM<sub>10分</sub>→純水リンス5分→DHF<sub>23分</sub>→純水リンス5分→HPM<sub>10分</sub>→純水リンス5分→ファイナル純水リンス10分を行った後に、IPA(イソプロピルアルコール、 $220^\circ\text{C}$ )乾燥を9分行いウェハ上の水分を乾燥させた。その基板を $700^\circ\text{C}$ に保持し、 $\text{NH}_3$ を $2000 \text{ sccm}$ 導入した雰囲気下(大気圧)に1分間保持することで基板表面に薄い窒化層(SiN層)を形成した。このSiN層を形成することでシリコン基板とHfSiO膜の熱による反応を抑制することが出来る。

### (3) : HfSiO成膜

上記2のシリコン基板上にハフニウムシリケート(HfSiO)を成膜した。ターシャリーエトキシハフニウム( $\text{HTB} : \text{Hf}(\text{OC}_2\text{H}_5)_4$ )とシランガス( $\text{SiH}_4$ )をそれぞれ $1 \text{ sccm}$ 、 $400 \text{ sccm}$ ずつ導入し、圧力を $50 \text{ Pa}$ に保持した。HTBの流量は液体マスフローコントローラの流量、シランガスの流量はガスマスフローコントローラの流量である。その雰囲気中で前述2のシリコン基板を $350^\circ\text{C}$ で加熱し、基板上でHfとSiとOの反応種を

反応させることでH f S i O膜を成膜した。処理時間を含めたプロセス条件を制御することで4 n mのH f S i O膜を成膜した。

(4) : R L S A酸化処理

上記3の処理を施したシリコン基板上にR L S Aプラズマ酸化処理を施した。400℃に加熱したシリコン基板上に希ガスと酸素をそれぞれ2000 s c c m、20 s c c mずつ流し、圧力を67 P a (500 m T o r r) に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材(R L S A)を介して2.8 W / c m<sup>2</sup>のマイクロ波を照射することにより酸素および希ガスとを含むプラズマを形成し、このプラズマを用いて前述3の基板上にプラズマ酸化処理を施した。

(5) : ゲート電極用T i N成膜

上記(3)～(4)で形成したH f S i O膜上、および、リファレンスとして3のH f S i O成膜を省いて4の酸化処理のみを行った酸化膜上にゲート電極としてチタンナイトライド(T i N)をC V D法にて成膜した。3～4の処理を施したシリコン基板を550℃で加熱し、200 P aの圧力で基板上にT i C l<sub>4</sub>ガスを30 s c c m、N H<sub>3</sub>ガスを100 s c c m、N<sub>2</sub>ガスを150 s c c m導入することでH f S i O膜上に膜厚800 Åの電極用T i Nを成膜した。

(6) : パターニング、ゲートエッチ

上記(5)で作製したT i N電極上にリソグラフィによりパターニングを施し、過酸化水素水(H<sub>2</sub>O<sub>2</sub>)薬液中にシリコン基板を90分間浸すことでパターニングされていない部分のT i Nを溶かし、M O S キャパシタを作製した。

実施例 2

実施例1で作製したM O S キャパシタについて、C V特性を評価

した。この測定は次に示すような方法で行った。ゲート電極面積が  $10000 \mu\text{m}^2$  のキャパシタの C V、特性を評価した。C V 特性は周波数 1 MHz、ゲート電圧を 1 V から -2 V 程度まで掃引し各電圧におけるキャパシタンスを評価することで求めた。C V 特性から電気的膜厚を計算した。

図 1 4 は R L S A 酸化プロセスによって成膜された酸化膜と H f S i O 膜上に酸化プラズマ処理を施した場合における電気的膜厚 ( T e q ) を示す。横軸は酸化処理時間、縦軸は電気的膜厚 ( T e q ) である。

図 1 4 に示されるように、リファレンスの酸化膜は酸化時間 20 秒以上にて 25 Å 以上の膜厚となる。処理時間が短くなるほどプロセスの再現性は低くなり、膜厚の制御も困難となるため、20 秒以下の短時間プロセスは実用的ではない。したがって、図 1 6 のリファレンスに示されるような通常の酸化方法では、H i g h - K 酸窒化膜として要求される膜厚 ( 10 Å 以下 ) を得ることは困難となる。それに対し、図 1 4 に示したような H f S i O 膜に R L S A 酸化処理を施した場合は、初期の膜厚 ( 約 16 Å ) に対し、35 秒以上の長時間処理を施した場合でも電気的膜厚の増加は 10 Å 程度に抑制されている。酸化プロセスには希ガスと酸素ガスしか用いていないことから、この増膜は酸素に起因するものと考えられる。増膜には界面からの増膜と、膜そのもの ( バルク ) の増膜が考えられる。現在、H f S i O 膜を含めた H i g h - K 物質における問題として、高温アニールによる結晶化が有る。これは膜中の S i 原子の絶対量が少ないことに起因しているとされている。このことから、酸素が膜中に混入することでの増膜は S i - S i 結合に O が入り込むことによる増膜で有る可能性は低い。また、H f - O 結合は豊富に含まれていることも一般に知られている。以上から、増膜に最も寄与



する部分は基板からの増膜、すなわち界面における酸化膜の形成である可能性が高い。したがって、本発明により界面に極めて薄い酸化膜を形成できると考えられる。

図15はR L S A酸化プロセスによって成膜された酸化膜とH f S i O膜上に酸化プラズマ処理を施した場合における電氣的膜厚の均一性（R a n g e：面内におけるT e qの最大値と最小値の差）の酸化時間による変化をそれぞれ示す。横軸は酸化処理時間、縦軸はR a n g eである。

図15に示されるように、リファレンスのR L S A酸化膜は処理時間に対してR a n g eの値はそれほど変化しないが、H f S i O膜にR L S A酸化処理を施した場合は、処理時間の増加に伴いR a n g eが小さくなっている、すなわち均一性が向上していることが観測された。このメカニズムは以下のようなものと考えている。先に述べたように、増膜の主な原因は界面における酸化膜の増膜によるものとする、膜の薄い部分には強い増膜効果、膜の厚い部分には弱い増膜効果が生じる。したがって、膜の厚みの不均一性がR L S A酸化を施すことにより改善され、電氣的膜厚が均一になったと考えることが出来る。したがって、図15の結果は先に述べた図14の増膜メカニズムを支持するものと言うことが出来る。

以上から、H f S i O膜を成膜した後にプラズマ酸化処理を施すことで、単体の酸化プロセスでは実現が困難であった極めて薄い10Å以下の下地膜の形成を実現することが出来、かつ良好な均一性を持つH f S i O膜を形成することが可能となった。

また、上記の例では本発明を用いて作製されたH f S i O膜についてのみ言及しているが、それ以外のH i g h - K物質にも同様の処理を施すことで同様の効果を実現できる。

### 産業上の利用可能性

上述したように本発明によれば、絶縁膜と、電子デバイス用基材との間の界面に、該絶縁膜の特性を向上させるべき良質な下地膜を与える方法を提供することができる。

## 請 求 の 範 囲

1. 電子デバイス用基材上に配置された絶縁膜の表面に、少なくとも酸素原子含有ガスを含む処理ガスに基づくプラズマを照射して、該絶縁膜と電子デバイス用基材との界面に下地膜を形成することを特徴とする下地膜の形成方法。

2. 前記絶縁膜が、H i g h - k（高誘電率）材料を含む膜である請求項1に記載の下地膜の形成方法。

3. 前記プラズマが、酸素ラジカルを含むプラズマである請求項1または2に記載の下地膜の形成方法。

4. 前記下地膜が、酸化膜である請求項1～3のいずれかに記載の下地膜の形成方法。

5. 前記プラズマが、平面アンテナ部材（R L S A）に基づくプラズマである請求項1～4のいずれかに記載の下地膜の形成方法。

6. 電子デバイス用基材と、該基材上に配置された下地膜と、該下地膜上に配置された絶縁膜とを少なくとも含む電子デバイス用材料であって；前記下地膜が、前記絶縁膜側からのプラズマ照射によって形成された膜であることを特徴とする電子デバイス用材料。

7. 前記絶縁膜が、H i g h - k（高誘電率）材料を含む膜である請求項6に記載の電子デバイス用材料。

Fig.1(a)

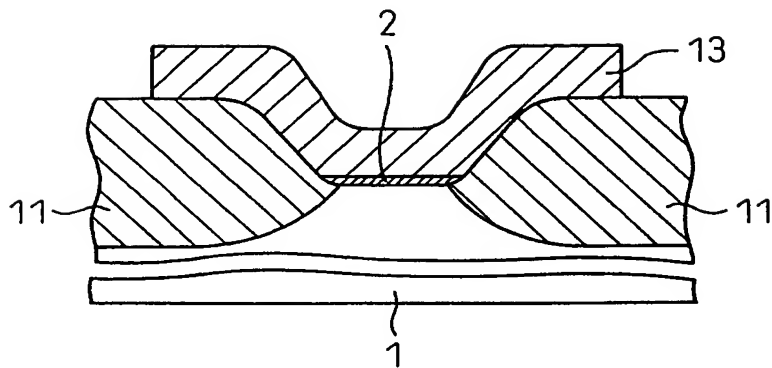


Fig.1(b)

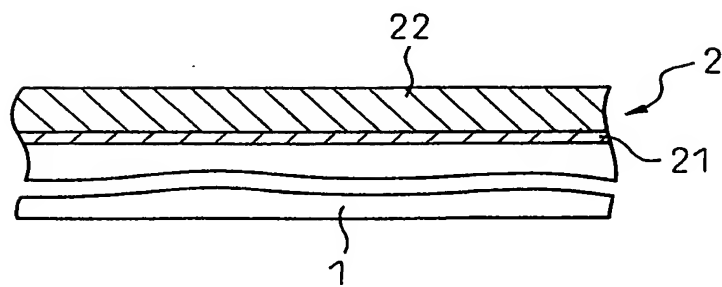


Fig.2

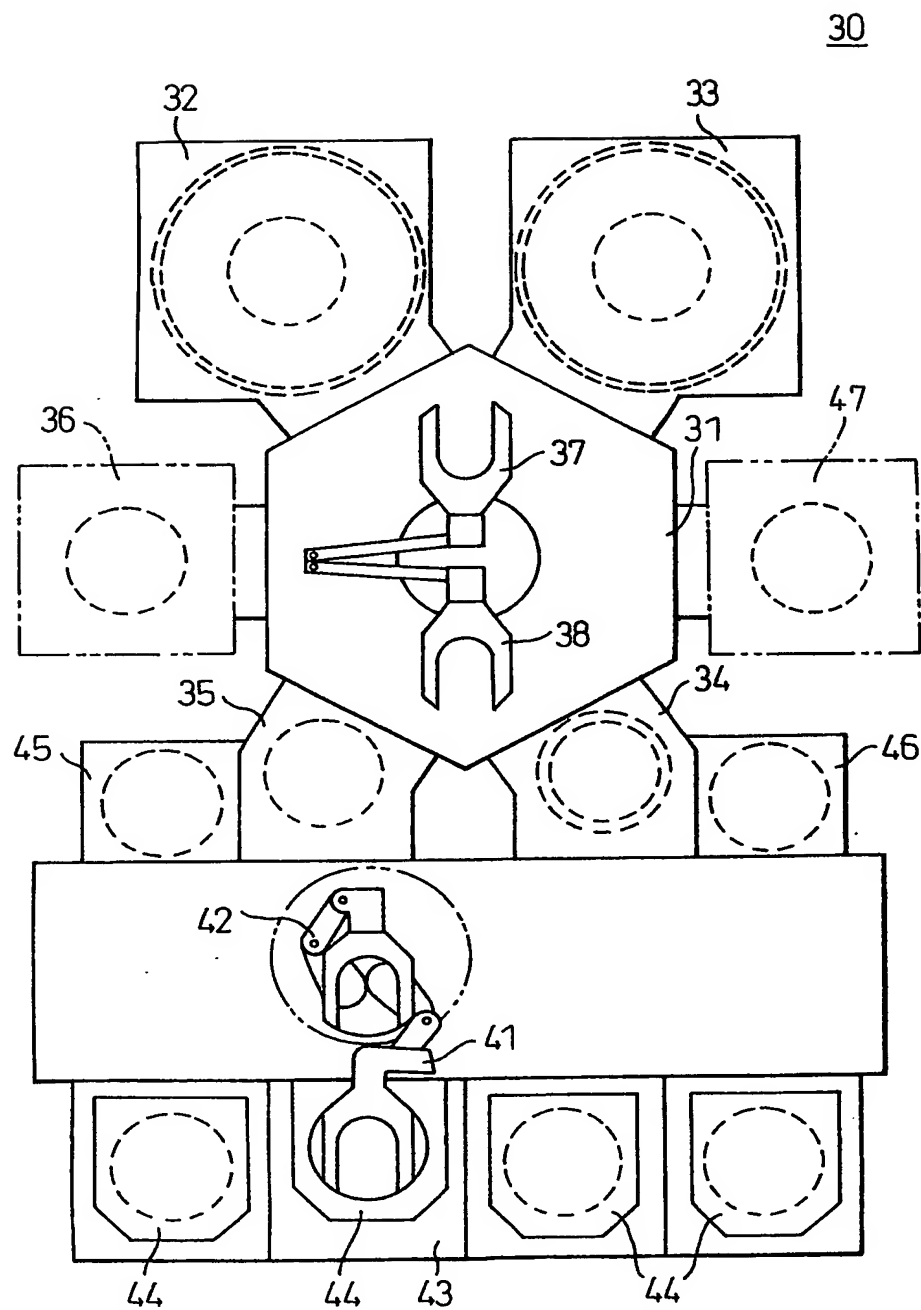


Fig. 3

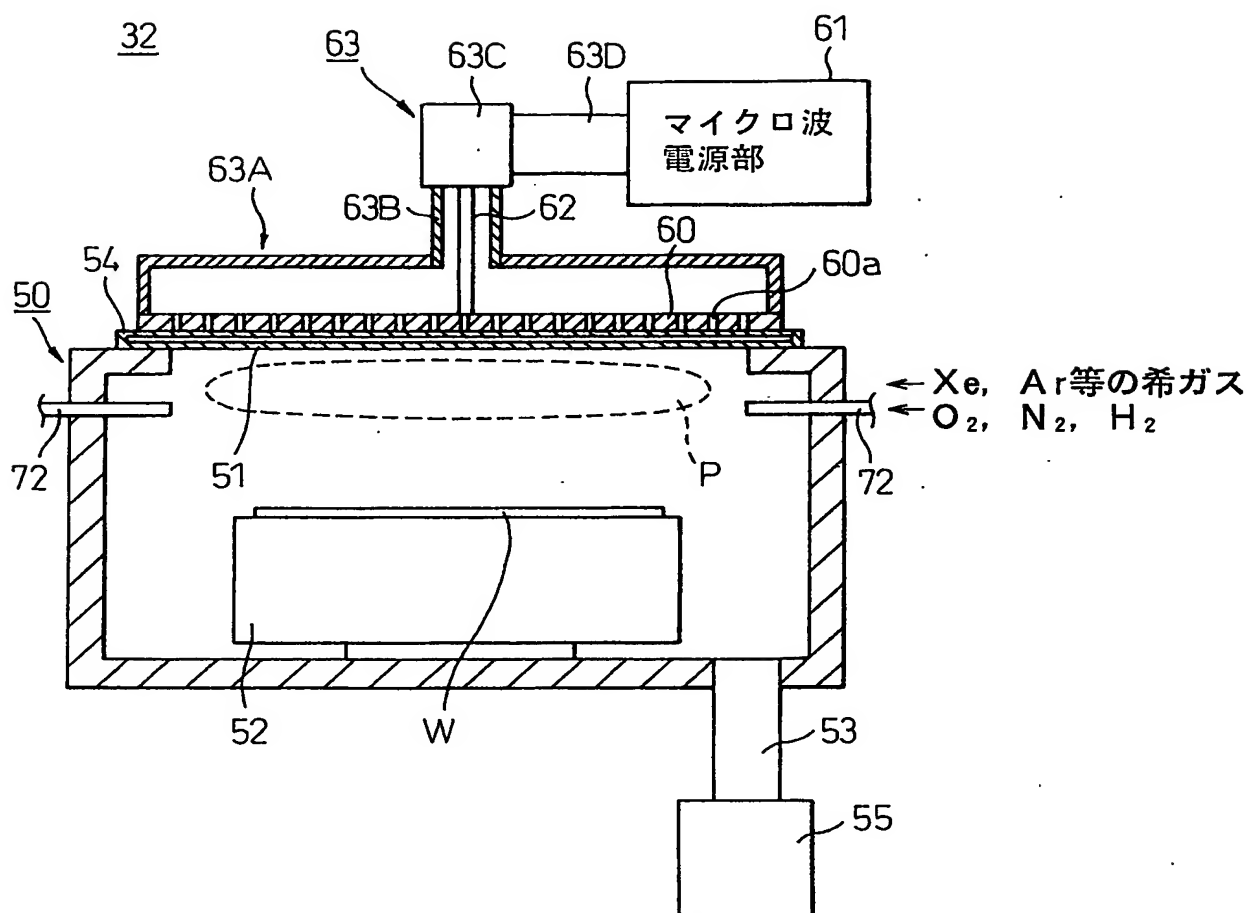


Fig.4

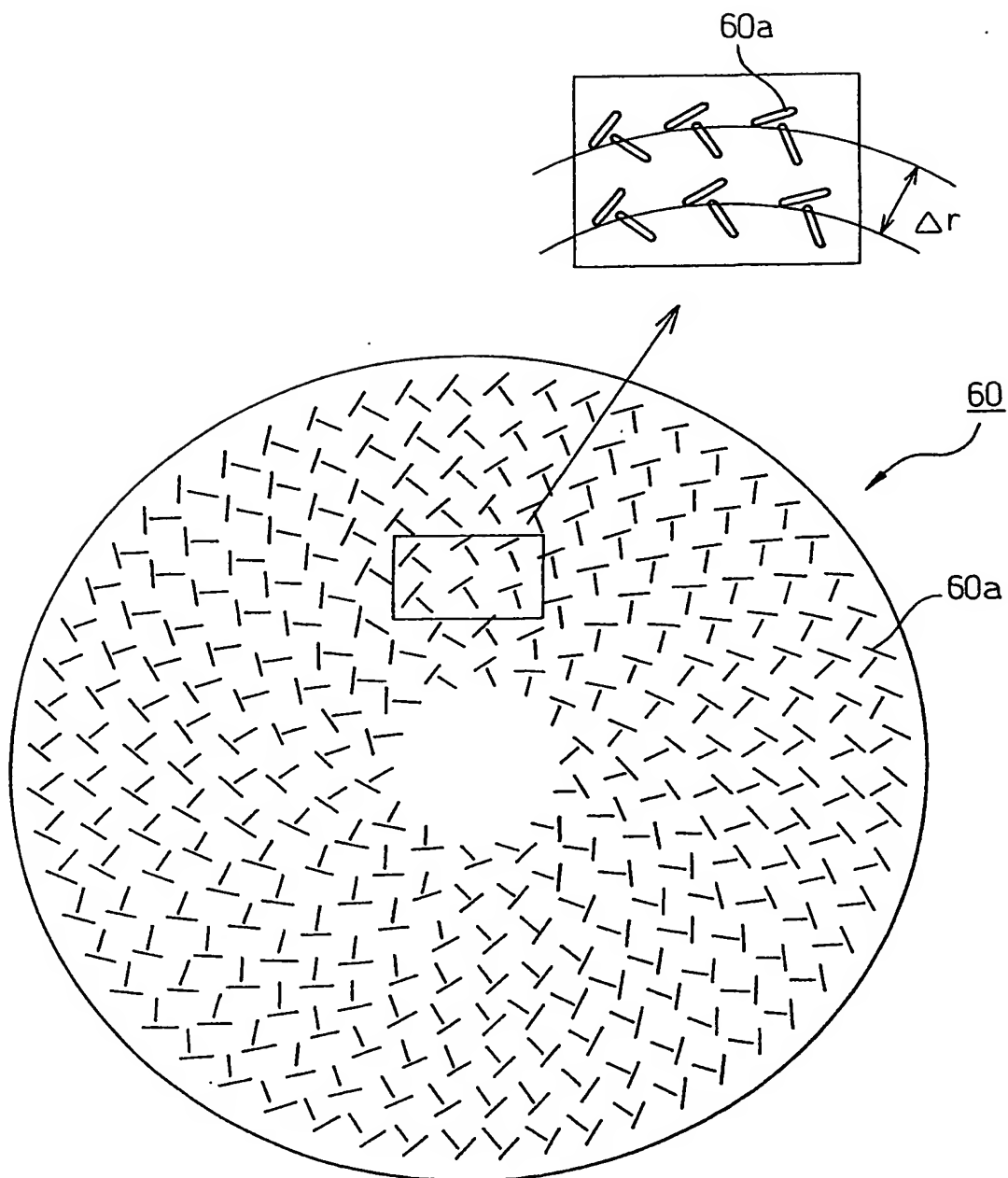


Fig.5

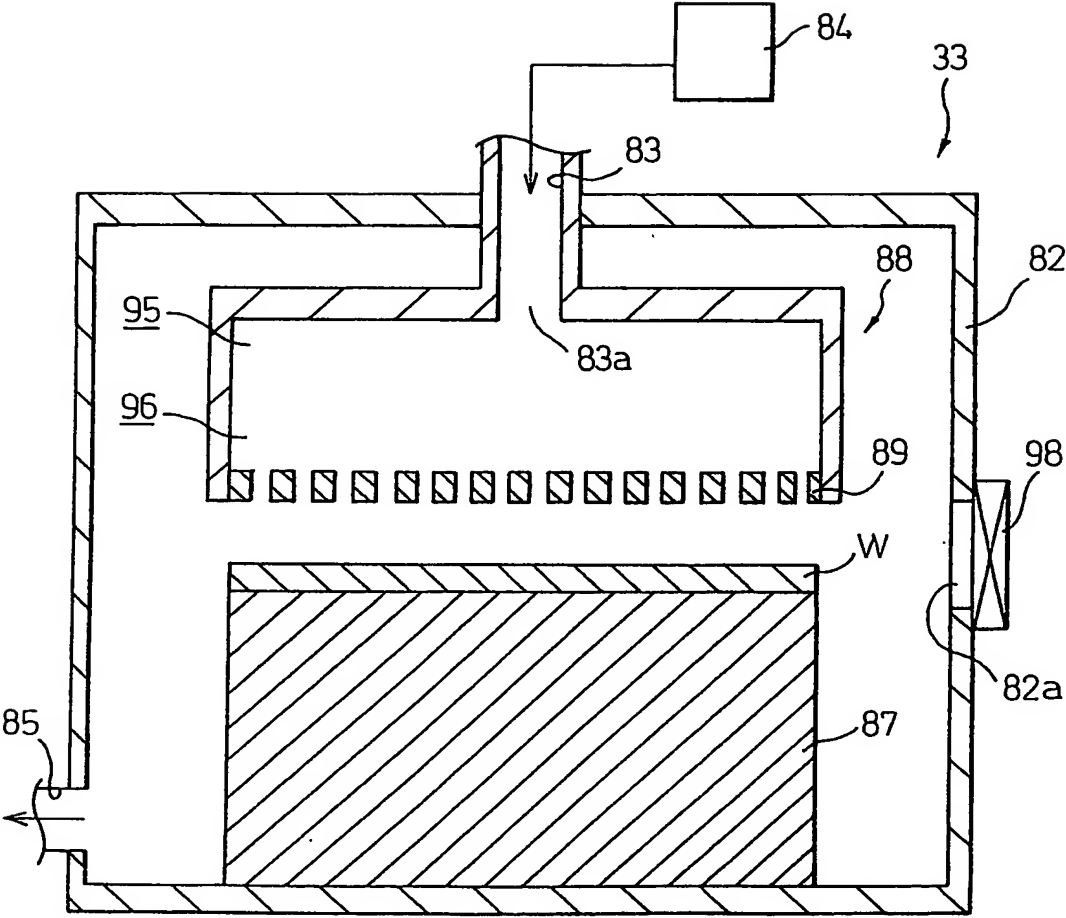




Fig.6

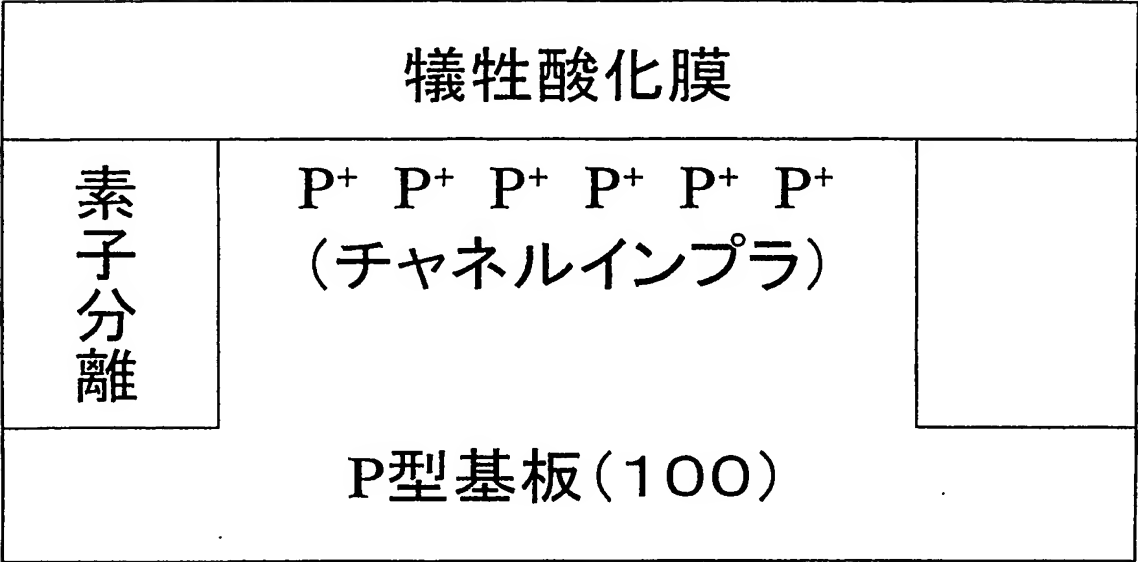


Fig.7

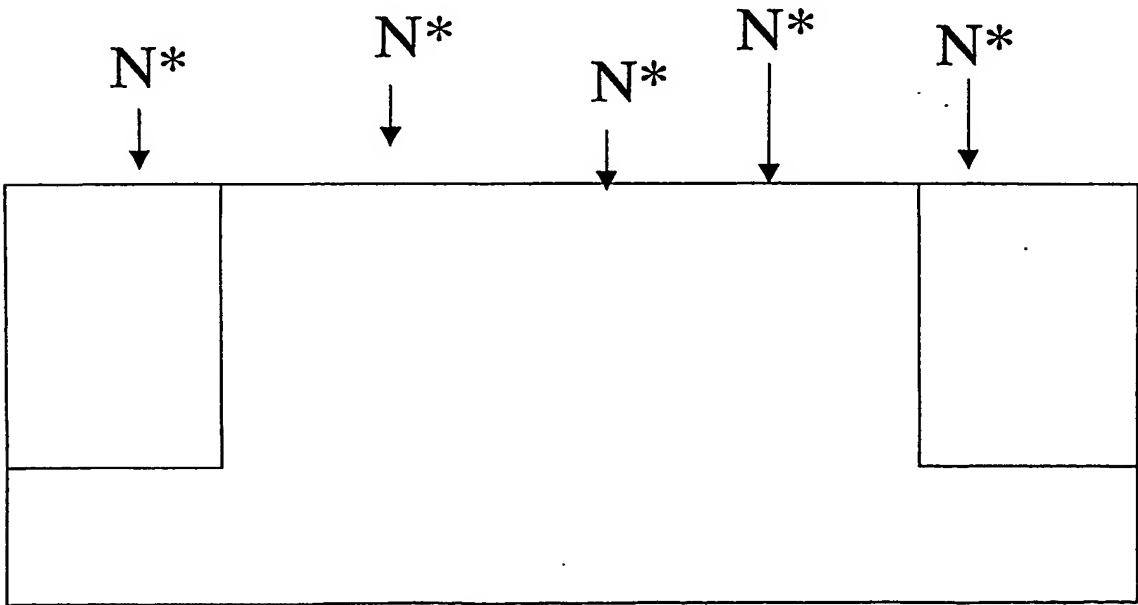


Fig.8

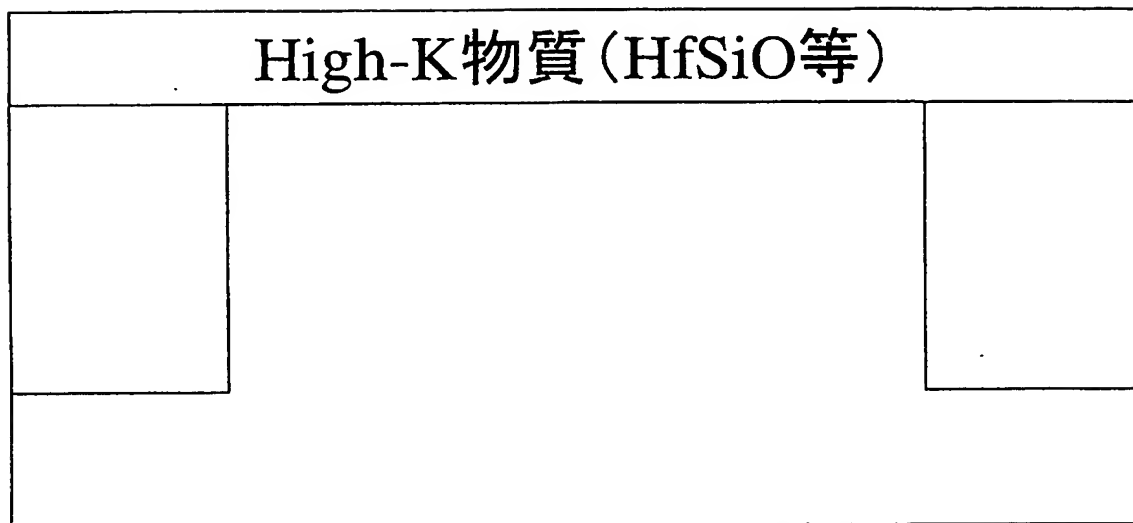


Fig.9

SPAプラズマ処理

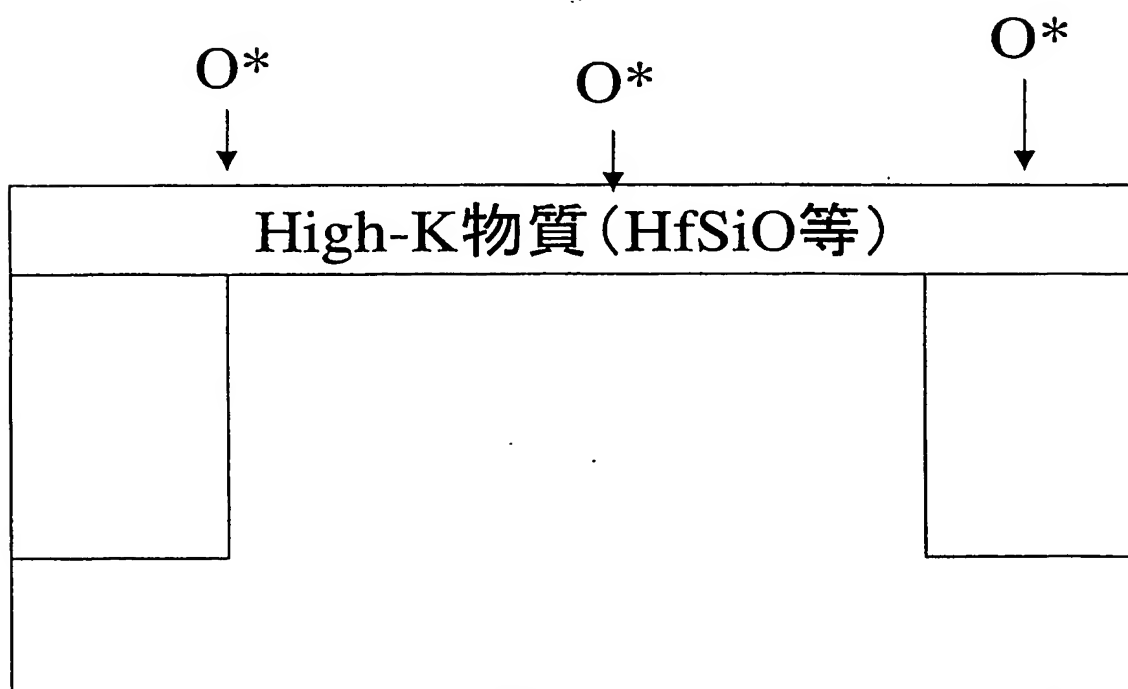


Fig.10

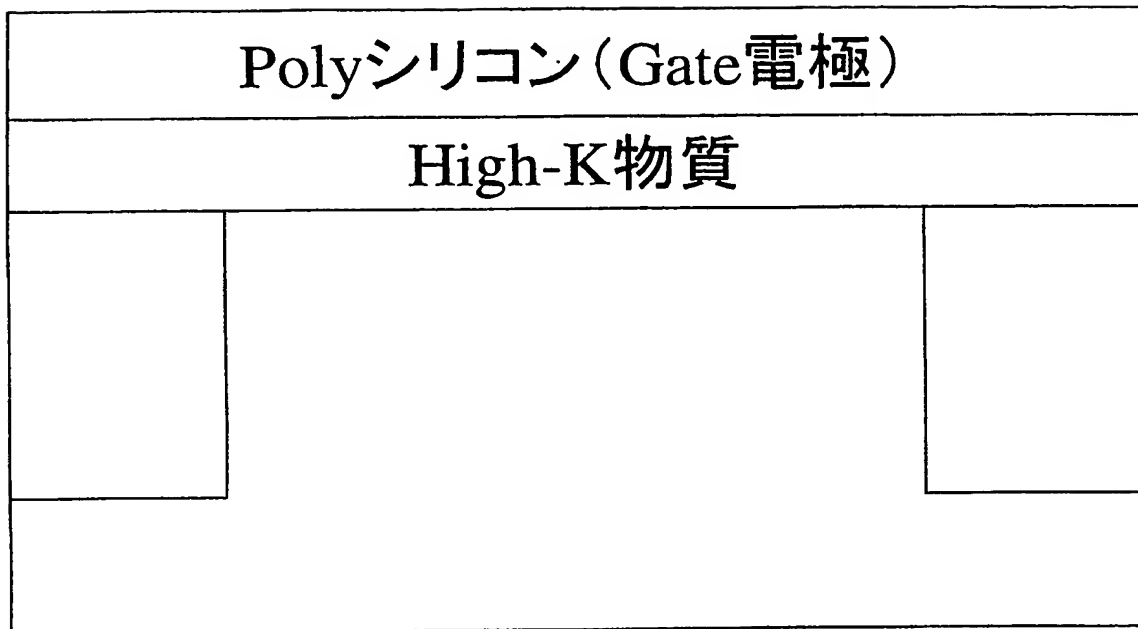


Fig.11

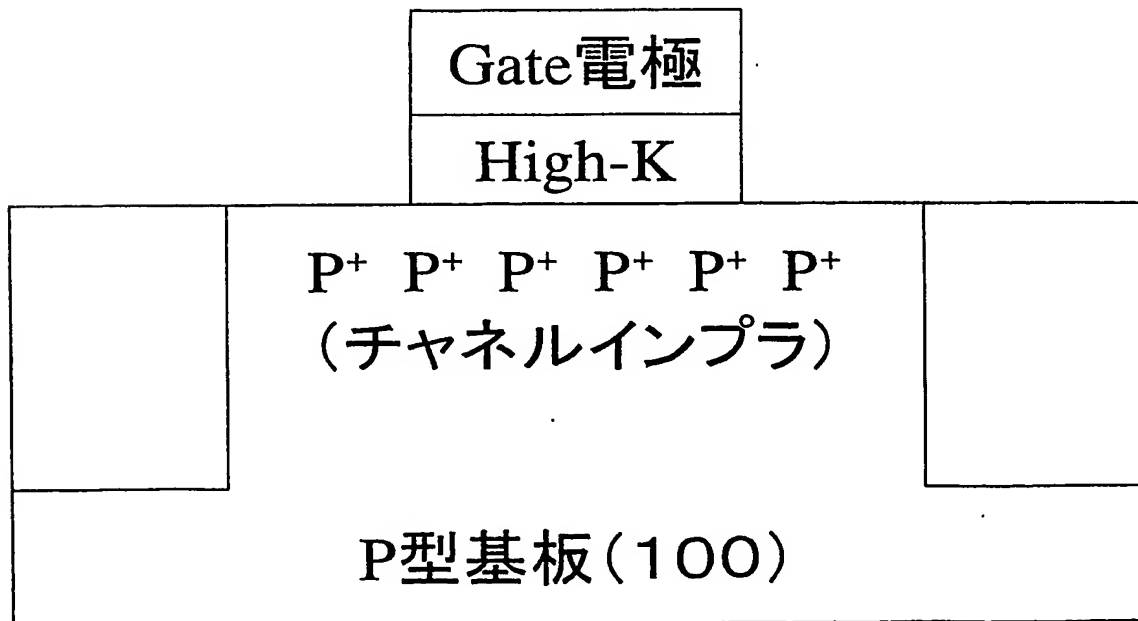


Fig.12

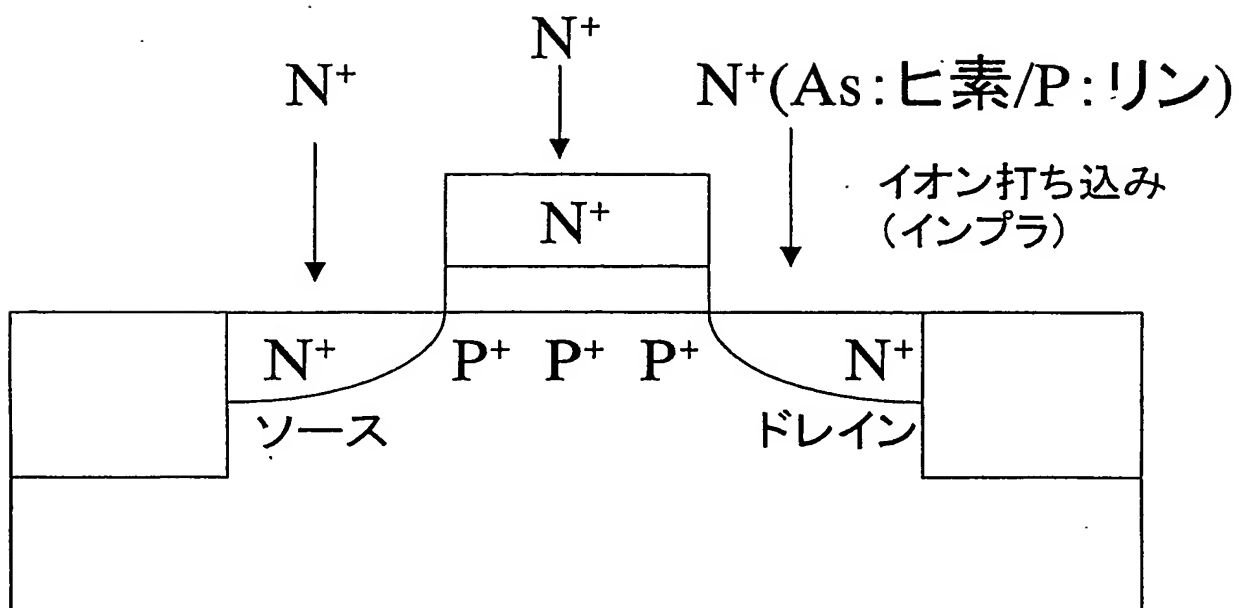


Fig.13

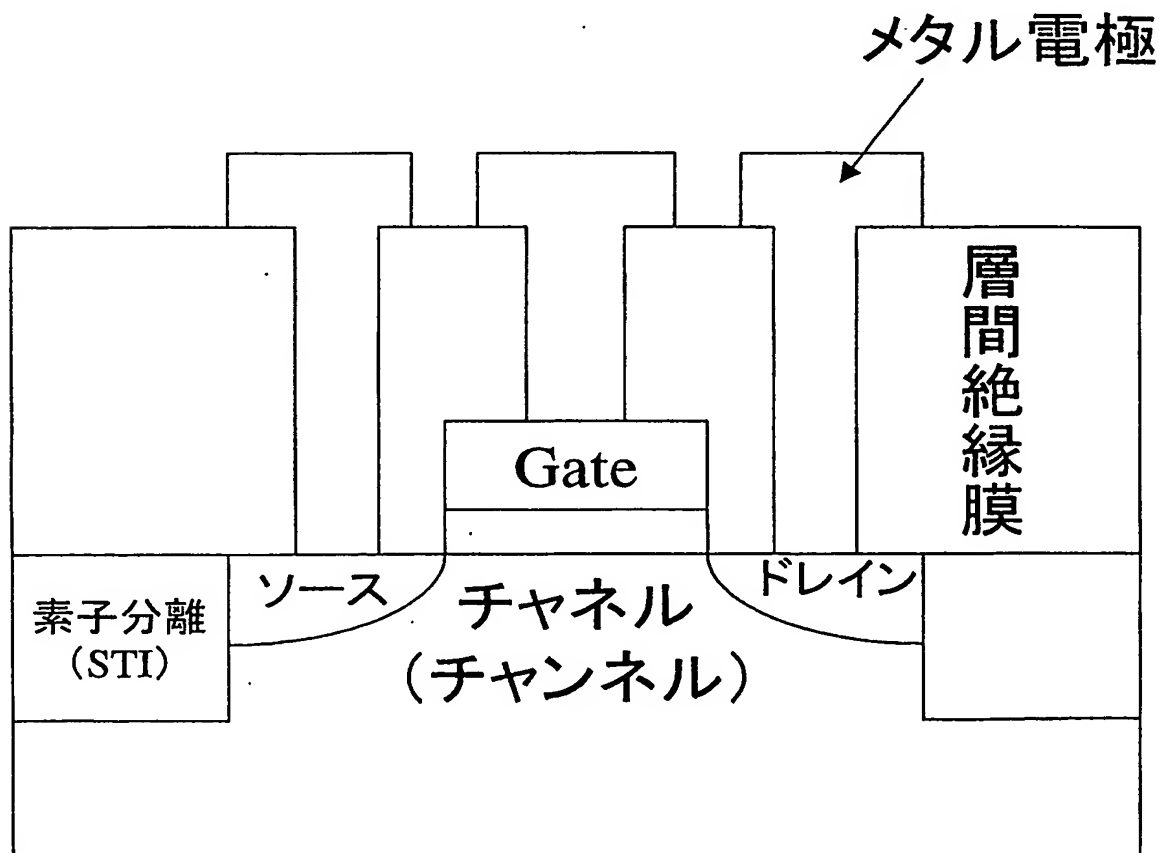


Fig.14

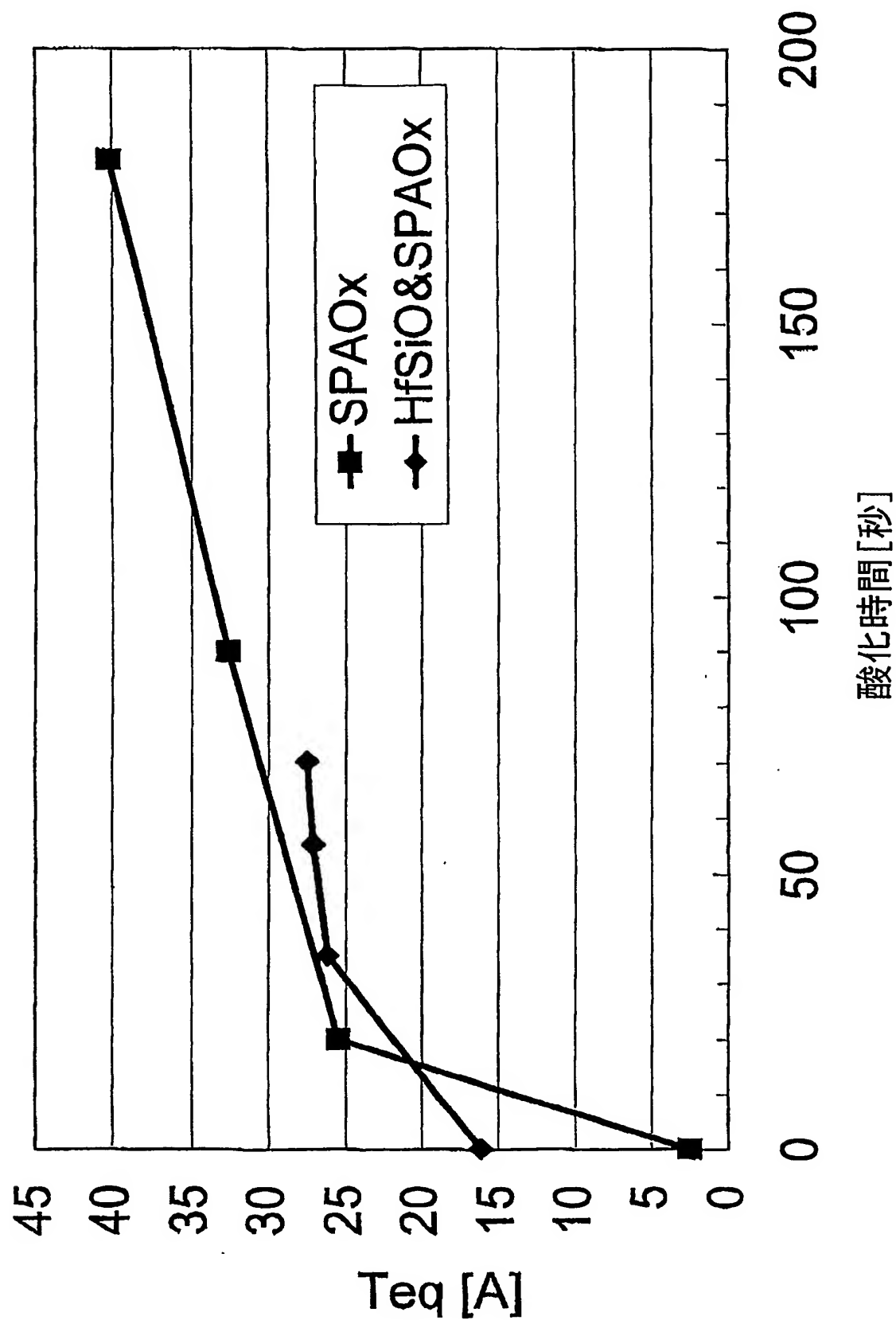
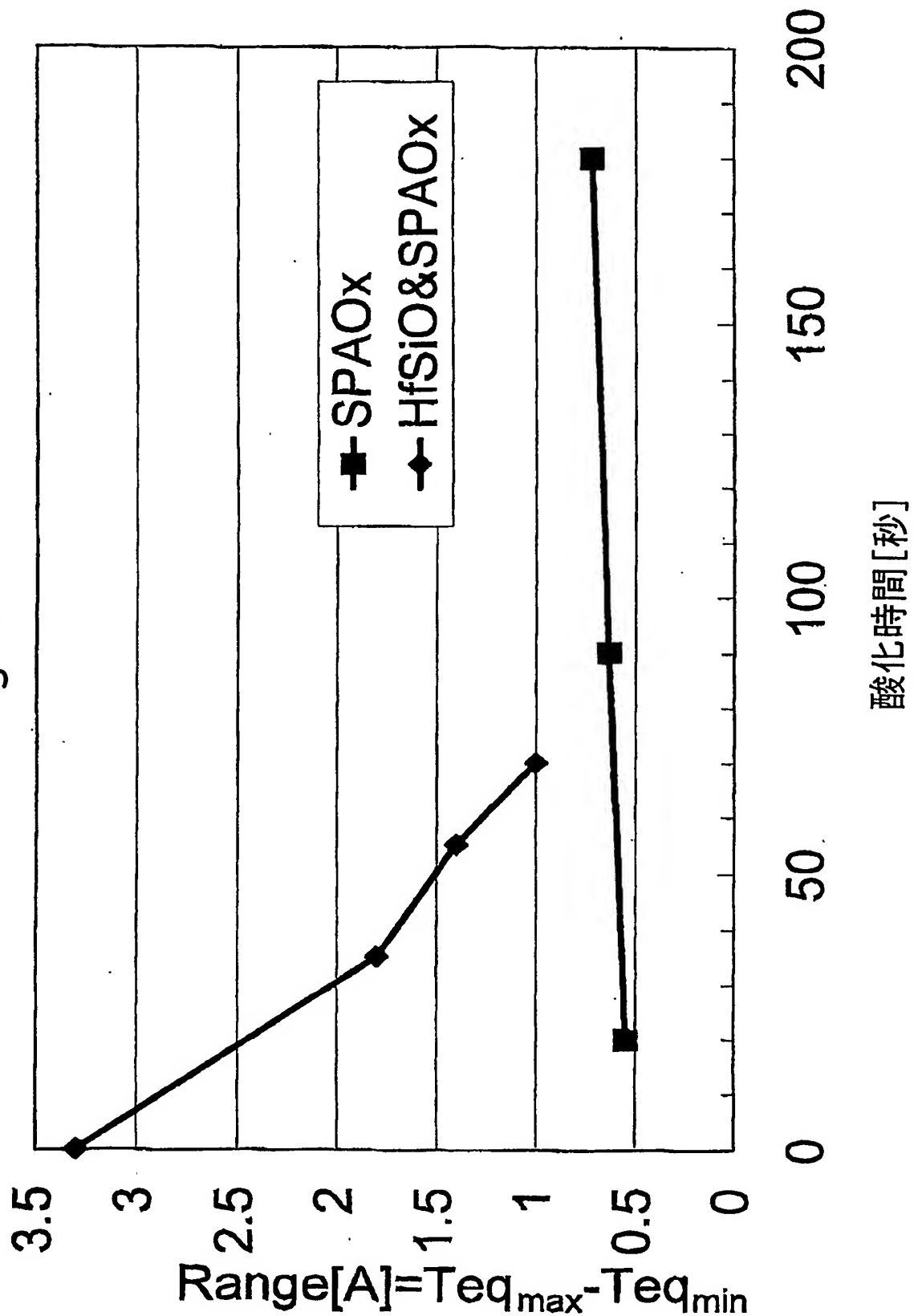


Fig.15



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04125

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H01L21/312-21/318Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category*     | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|---------------|--|-----------------------|
| X<br><u>Y</u> | US 2002/0014666 A1 (Tadahiro OHMI),<br>07 February, 2002 (07.02.02),<br>Page 7, left column, line 1 to right column,<br>line 36<br>& JP 2001-160555 A                          | 1, 3-6<br><u>2, 7</u> |
| X<br><u>Y</u> | JP 2000-294550 A (Tokyo Electron Ltd.),<br>20 October, 2000 (20.10.00),<br>Claims<br>& US 2002/0111000 A1 & KR 2000076774 A  | 1, 3-6<br><u>2, 7</u> |
| Y             | JP 2001-111000 A (Samsung Electronics Co., Ltd.),<br>20 April, 2001 (20.04.01),<br>Column 9, lines 8 to 26; Fig. 2<br>& US 2002/0195683 A1 & KR 2001017820 A<br>& GB 2353404 A | 2, 7                  |

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

|   |  |
|---|--|
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier document but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |
|---|--|

Date of the actual completion of the international search  
05 June, 2003 (05.06.03)Date of mailing of the international search report  
17 June, 2003 (17.06.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04125

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages      | Relevant to claim No. |
|-----------|---|-----------------------|
| A         | JP 11-293470 A (Tokyo Electron Ltd.),<br>23 October, 1999 (23.10.99),<br>(Family: none) | 1-7                   |



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L 21/316

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H01L 21/312 - 21/318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| X<br>Y          | US 2002/0014666 A1 (Tadahiro Ohmi)<br>2002. 02. 07, 第7頁左欄第1行-第7頁右欄第36行<br>& JP 2001-160555 A          | 1, 3-6<br>2, 7   |
| X<br>Y          | JP 2000-294550 A (東京エレクトロン株式会社)<br>2000. 10. 20, 特許請求の範囲<br>& US 2002/0111000 A1<br>& KR 2000076774 A | 1, 3-6<br>2, 7   |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

05. 06. 03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4R

9539

電話番号 03-3581-1101 内線 3469

| C (続き) . 関連すると認められる文献 |   |                  |
|-----------------------|---|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
| Y                     | JP 2001-111000 A (三星電子株式会社)<br>2001. 04. 20, 第9欄第8行-第26行, 図2<br>& US 2002/0195683 A1<br>& KR 2001017820 A<br>& GB 2353404 A | 2, 7             |
| A                     | JP 11-293470 A (東京エレクトロン株式会社)<br>1999. 10. 23 (ファミリーなし)   | 1-7              |